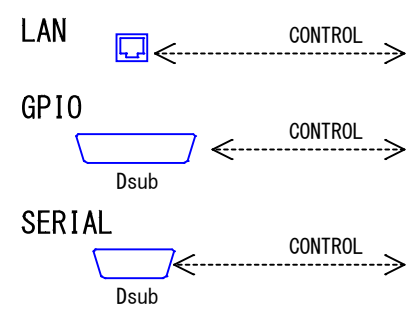
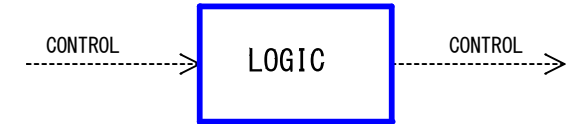
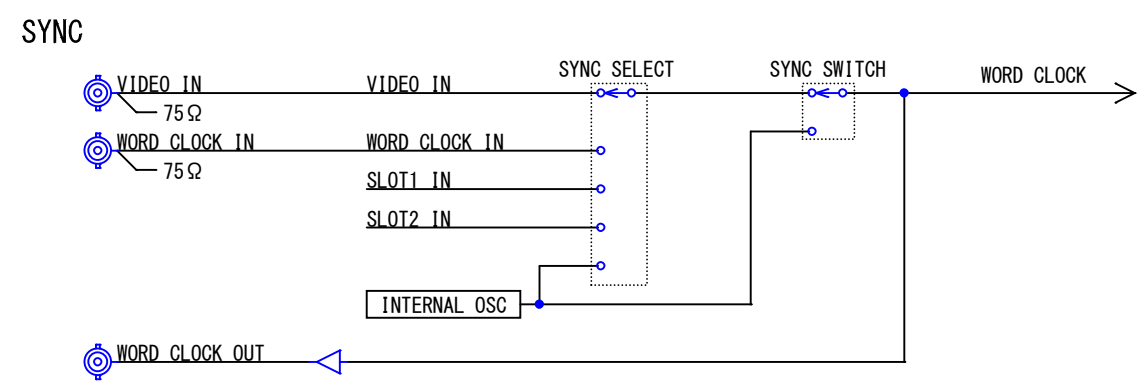
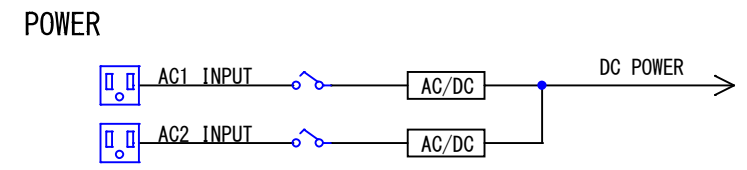
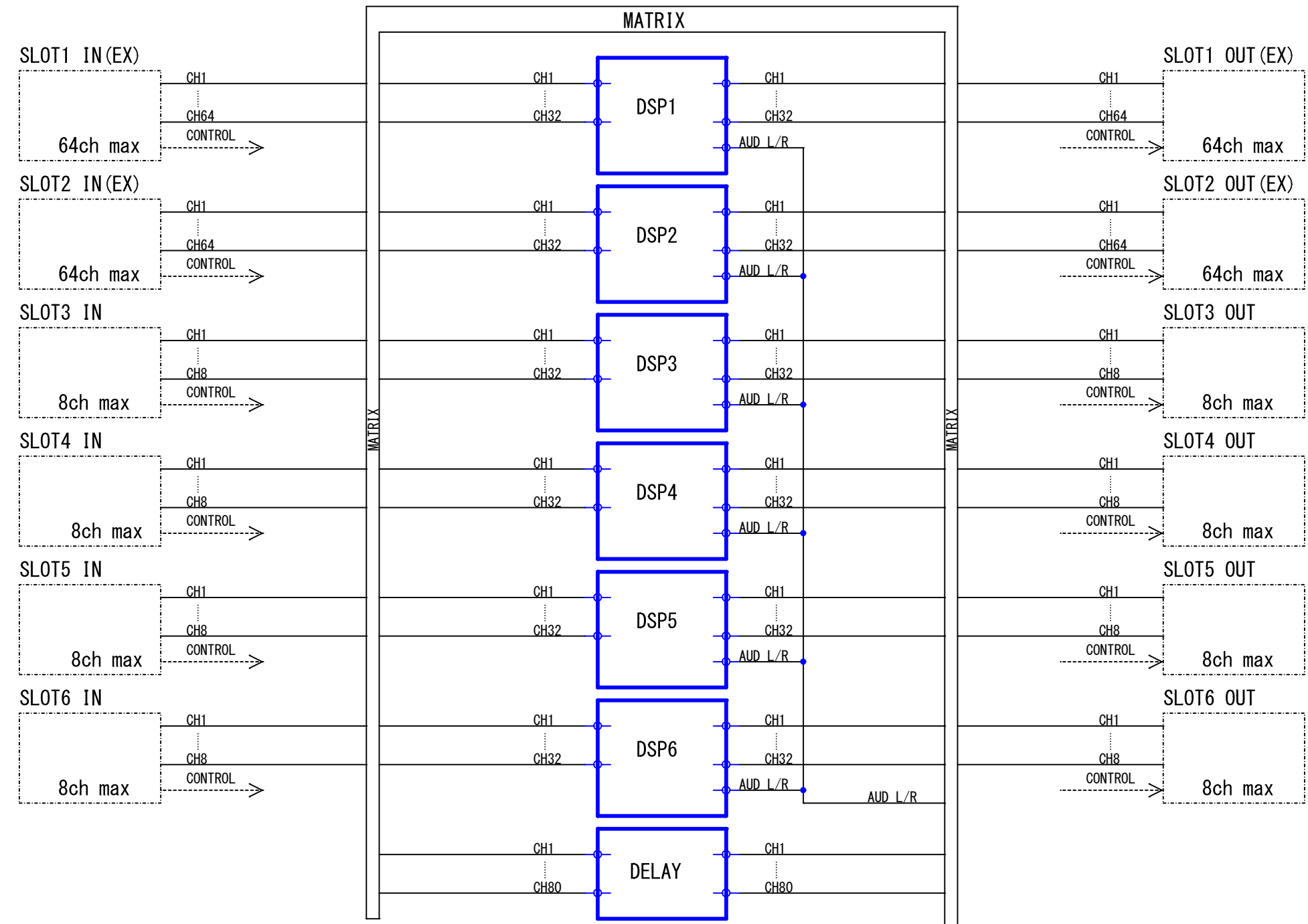


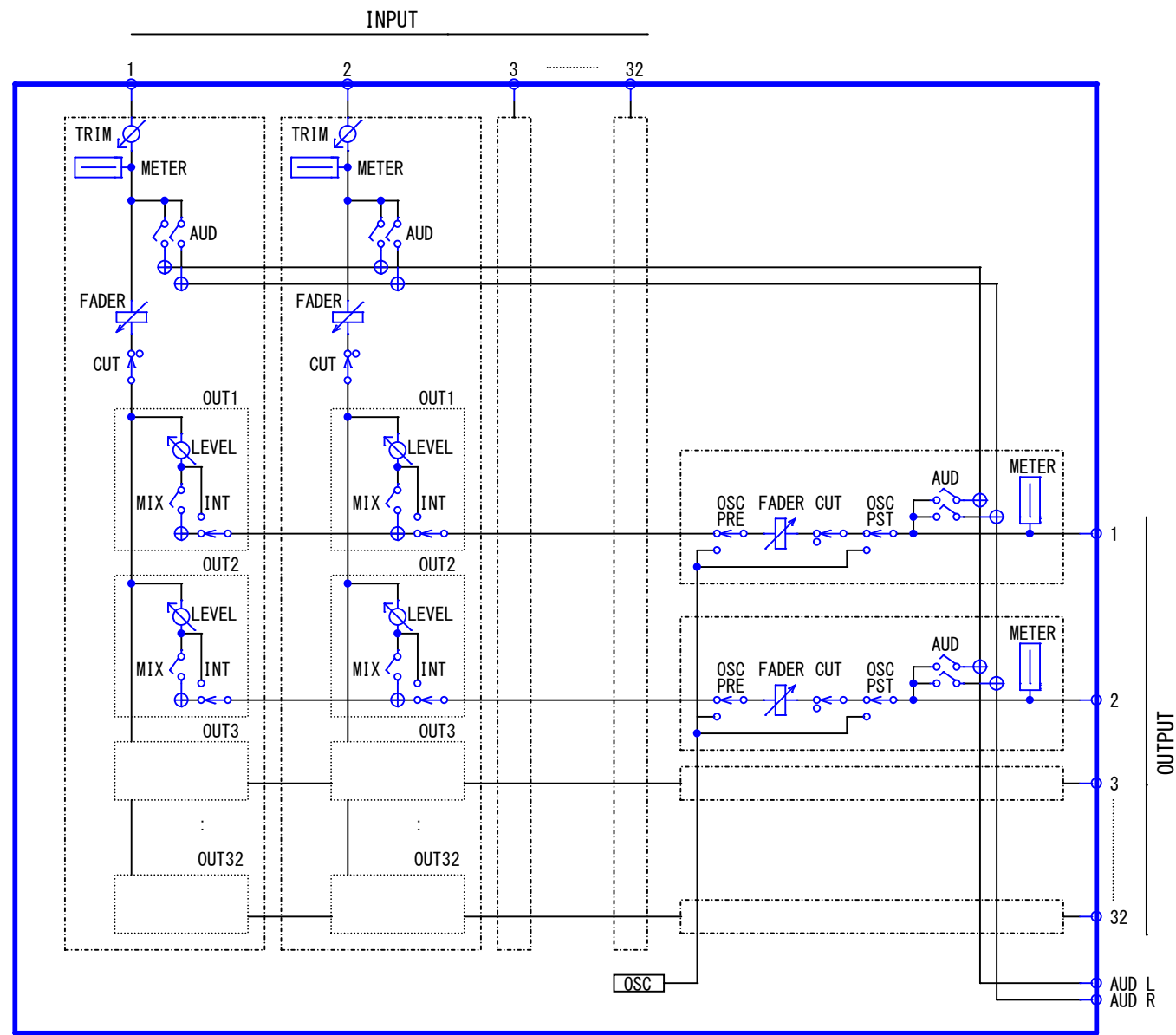
版 REV	記事・担当者 DESC.・DWG.	年月日 DATE	承認 APPD.
1			
0A	DELAY/EQ/COMP追加 ・柳下	2018/12/15	宮下



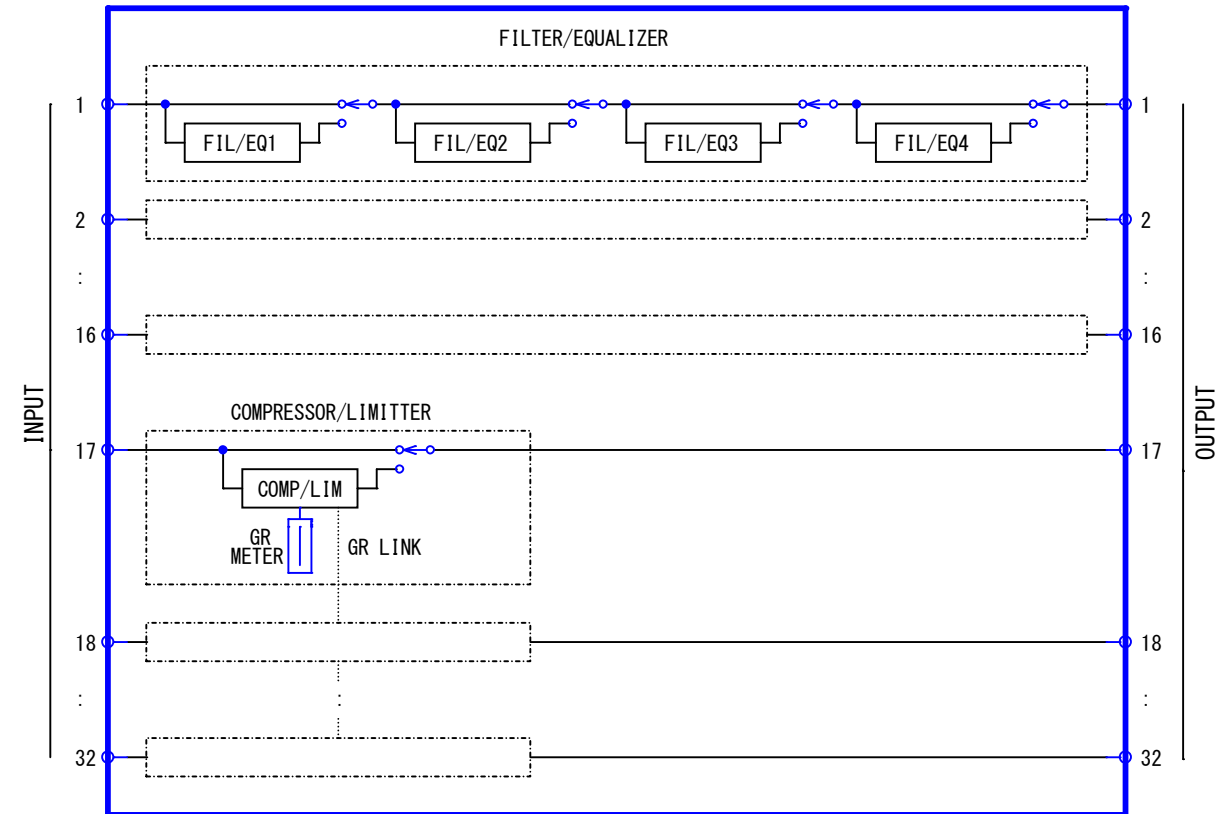
設計 DWG.	検図 CHKD.	承認 APPD.	名称 NAME	NT MATRIX BLOCK DIAGRAM	
2018.06.21	2018.06.22	2018.06.25	図番 DWG.No.	2D-E1-0011330A	構成 PAGE
柳下	波多野	宮下			1/2

版 REV	記事・担当者 DESC.・DWG.	年月日 DATE	承認 APPD.
1			
0A	DELAY/EQ/COMP追加 ・柳下	2018/12/15	宮下

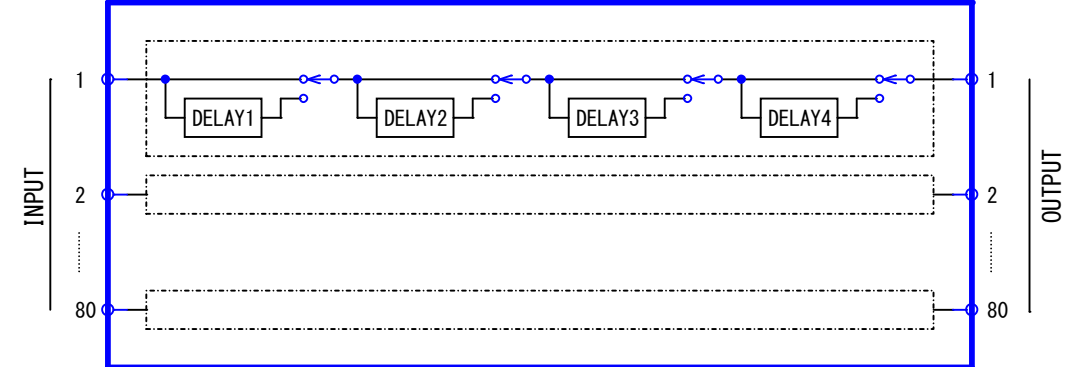
DSP CONFIGURATION - MIX MTX



DSP CONFIGURATION - FIL/EQ/COMP/LIM



DELAY



設計 DWG.	検図 CHKD.	承認 APPD.	名称 NAME	NT MATRIX BLOCK DIAGRAM		
2018.06.21	2018.06.22	2018.06.25	図番 DWG.No.	2D-E1-0011330A	構成 PAGE	2/2
柳下			宮下			TAMURA CORPORATION